

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-078136

(43)Date of publication of application : 18.03.1994

(51)Int.Cl.

H04N 1/393

G06F 15/66

G09G 5/36

(21)Application number : 04-225473

(71)Applicant : NEC CORP

(22)Date of filing : 25.08.1992

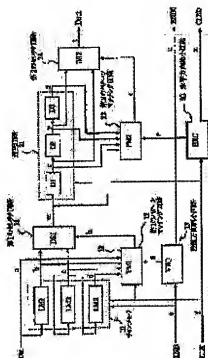
(72)Inventor : OGASAWARA HIROMICHI

(54) PICTURE REDUCTION PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To prevent drop-out of narrow lines like ruled lines and flattening of fine characters or the like by selectively switching thinned picture elements between two thinning object picture element strings to reduce a picture.

CONSTITUTION: In a line memory 11, binarized picture data Din is stored in plural line memories LM1 to LM3 to generate thinned picture element strings (b) and (c) and reference picture element strings (a) and (d). A first pattern matching circuit (PM1) 12 and a first selector circuit (DS1) detect a preliminarily set first specific pattern from picture element strings in the line memory 11 to select and output one thinned picture element string (b) or (c). A delay circuit 21 (D1 to D3) outputs picture element components (m), (n), (p), and (q) in the main scanning direction of the selected thinned picture element string (b) or (c) in parallel. A second pattern matching circuit (PM2) 22 and a second selector circuit (DS2) 24 detect a preliminarily set specific pattern from the output of four picture element components (m), (n), (p), and (q) to select and output the thinned picture element component (n) or (p) as picture data Dout.



LEGAL STATUS

[Date of request for examination] 27.09.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2982509

[Date of registration] 24.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 24.09.2005

(10)日本国特許庁(JP)

(12) 公開特許公報(A)

(31)特許出願公開番号

特開平6-78136

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 1/393		4226-9C		
G 0 6 F 13/06	2 5 5 D	8420-5L		
G 0 9 G 5/06		9177-5G		

審査請求 未請求 請求項の数2(全 5 頁)

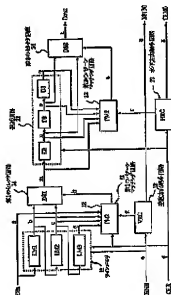
(21)出願番号	特開平4-225473	(71)出願人	000034237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成4年(1992)8月26日	(72)発明者	小笠原 弘道 東京都港区芝五丁目7番1号日本電気株式 会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 画像の縮小処理方式

(57)【要約】

【構成】 2値化された画データ $D:n$ を複数のラインメモリ $L:M1 \sim 3$ に記憶し、間引画素列 b 、 c および参照画素列 a 、 d として生成し出力するラインメモリ 1 と、予め設定された第1の特定パターンをラインメモリ 1 の画素列から検出し一方の間引画素列 b 又は c を選択し出力する第1のパターンマッチング回路 1 2 及び第1のセレクタ回路 1 4 と、選択された間引画素列 b 又は c の主走査方向の A 画素分 m 、 n 、 p 、 q 並列に出力する遅延回路 2 と、予め設定された第2の特定パターンを A 画素分 m 、 n 、 p 、 q の出力から検出し間引画素列 b 又は c を選択し出力する第2のパターンマッチング回路 2 2 及び第2のセレクタ回路 2 4 とを有する。

【効果】 二つの間引き列間隔画素列から選択的に間引き画素を切り換えて輸出することにより、研削のような破壊の欠陥や細かい文字などのつぶれを抑えることができる。



(2)

特開平6-78136

1

【特許請求の範囲】

【請求項1】 白情報および黒情報の両情報から2値化された画データの画引き対象の2ラインを前記図素列とし、前記画引き対象の画素が前記の前記画情報に対して加算した画素とならうように一方の前記図素列を前記引くことを特徴とする画像の縮小処理方式。

【請求項2】 入力の前記画データを複数のラインメモリに記憶し前記画引き対象の2ラインを前記図素列として生成し出力する手段と、予め設定された第1の特定パターンを前記ラインメモリの画素列から抽出し一方の前記画引き対象の2ラインを前記図素列の主走査方向の4画素分を並列に出力する手段と、予め設定された第2の特定パターンを前記4画素分の出力から抽出し前記図素列を選択し出力する手段とを有することを特徴とする請求項1記載の画像の縮小処理方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は画像の縮小処理方式に関し、特にファクシミリ装置において画像の縮小処理を行う画像の縮小処理方式に関する。

【0002】

【従来の技術】 従来の画像の縮小方式は、縮小倍率により周期的に一つの画引き対象画素列を決め、その画素列またはその周辺の画素情報とは全く無関係に関引き対象画素列を単純に関引きして縮小処理を行っていた。画引き対象画素列の画素情報が欠落して歪みや傾斜等の画素情報に対して偏した画情報が増えることになる点があった。したがって、縮小処理を単純に行うことによって画像のぼけや歪み、またはつぶれなどの問題があった。

【0003】

【発明が解決しようとする課題】 上述した従来の画像の縮小処理方式は、縮小倍率により周期的に一つの画引き対象画素列を決めて、その画素列またはその周辺の画素情報とは全く無関係に関引き対象画素列を単純に関引きして縮小処理を行っていた。画引き対象画素列の画素情報が欠落して歪みや傾斜等の画素情報に対して偏した画情報が増えることになる点があった。したがって、縮小処理を単純に行うことによって画像のぼけや歪み、またはつぶれなどの問題があった。

【0004】

【課題を解決するための手段】 本発明の画像の縮小処理方式は、白情報および黒情報の両情報から2値化された画データの画引き対象の2ラインを前記図素列とし、前記画引き対象の画素が前記の前記画情報に対して加算した画素とならうように一方の前記図素列を前記引くことを特徴とする。

【0005】 また、入力の前記画データを複数のラインメモリに記憶し前記画引き対象の2ラインを前記図素列として生成し出力する手段と、予め設定された第1の特定パターンを前記ラインメモリの画素列から抽出し一方の前記画引き対象の2ラインを前記図素列の主走査方向の4画素分を並列に出力する手段と、予め設定された第2の特定パターンを前記4画素分の出力から抽出し前記図素列を選択し出力する手段とを有

2

する。

【0006】

【実施例】 次に、本発明について図面を参照して説明する。図1は本発明の一実施例のブロック図である。

【0007】 本実施例は、白情報および黒情報の両情報から2値化された画データD11nを複数のラインメモリLM1～LM3に記憶し、前記図素列b、cおよび参照画素列a、dとして生成し出力するラインメモリ11と、予め設定された第1の特定パターンをラインメモリ11の画素列から抽出し一方の前記画引き対象の2ラインを前記図素列の主走査方向の4画素分を並列に出力する手段と、予め設定された第2の特定パターンを前記4画素分の出力から抽出し前記図素列を選択し出力する手段とを有し構成される。

【0008】 次に本実施例の動作について説明する。一般に、ファクシミリ通信などに使われる画像情報は白情報と黒情報とを電気信号の0と1とで表し、二次元平面的な画像を水平方向（主走査方向）と垂直方向（副走査方向）とにスキャンして伝送している。この入力画データD11nをラインメモリ（LM1、LM2、LM3）11に入力して副走査方向に隣接する4ライン分の画素列a～dを生成して出力する。

【0009】 ここで、aを1ライン目の画素列とするとbは1～1ライン目、cは1～2ライン目、dは1～3ライン目の画素列になる。ここでbとcを前記引く対照画素列として第1のセレクト回路（DS1）14に入力して、a、b、c、dを第1のパターンマッチング回路（PM1）12に入力し、ある特定パターン（予め設定する）の場合に画素選択信号hをセレクト回路14に指示して前記引く対照画素列b、cのどちらの画素を選択するかを切り替える。

【0010】 垂直方向縮小回路（VRC）13は、ラインごとのイネーブル信号（ENB）eから縮小倍率により前記引くラインの間のラインの区間だけ画素制御信号gを（PM）12に出力し、（PM1）12ではこの区間以外に画素選択信号により画素列bを選択するように固定する。

【0011】 また、（VRC）13では前記引くラインに相当するイネーブル信号をマスクして新しいイネーブル信号uを出力する。以上の結果（DS1）14から得られた画素列mは、通常は画素列bを出力しており、前記引くラインの副走査方向の画素列bとから画素単位に選択された副走査方向の画引き縮小処理された画素を出力する。

【0012】 同様に（DS1）14の出力の画素列mは画素選択回路（D1、D2、D3）21に入力され主走査方向に4画素分の画素a、n、p、qを生成して出力

(3)

特開平6-78136

3

する。n、pを関引き対象図素として第2のセレクト回路(DS2)24に入力して、m、n、p、qから第2のパターンマッチング回路(PM2)22で特定パターン(予め設定する)のとき図素選択信号sを(DS2)24に出力してnとpのどちらの図素を選択するかを切り替える。

[0013]ここで、図素転送クロック(CLK)fは水平方向縮小回路(HRC)23で縮小倍率により関引き図素のクロックをマスクして図素転送クロックxを出力し、関引き図素の前図素の区画のみ(PM2)22に図素切替信号tを指示して、(PM2)22はこの区画以外に図素選択信号sで図素nを選択するように固定する。以上の結果(DS2)24から得られた図素データ出力Data(=1)は、通常は図素nを出力しており、関引き図素の前図素のみ図素nとpから選択された図素を出力する。(主走査方向の関引き処理)
次にパターンマッチング回路(PM1、PM2)13、23と動作について図2を参照して説明する。PM1、PM2に入力される図素をi番目~i-3番目とするとその組合せは16通りのパターンがある。ここで、関引き対象図素はi-1とi-2の図素でありこのどちらかが関引かれて欠落することになる。

[0014]このとき、関引く図素の論理値とその両隣りの図素のどちらか一方が同じ論理値の場合は関引き可能図素と判断し、両隣りとも論理値が異なる場合は関引き不可の図素と判断することにより、関引き可能な図素は検出された部分になる。

[0015]6番目と11番目は一図素ごとに論理値が変化しているため、どちらを関引いても図素の論理欠落が発生する。これ以外に、関引き可能図素の一つを関引いても図素の論理情報は残り解像度は確保できる。したがって、非常にまれな一図素ごとに論理値が変化する図素パターンを除けば、関引き可能図素を図素パターンにより切り替えることにより解像度などの細微の欠落や文字のつぶれを起こさずに縮小することができる。

[0016]なお、関引き対象図素のi-1とi-2のどちらを関引いてもよい場合は、関引き図素の切り替えにより発生する図素列の不連続性のジッタを少なくする為であるだけ前面図の関引き図素と同じ図素列を関引き

ことが望ましい。

[0017]

【発明の効果】以上説明したように本発明は、関引き図素の隣接の図素パターンから図素の論理情報ができるだけ欠落しないように二つの関引き対象図素列から選択的に関引き図素を切り換えて縮小することにより、解像度のような細微の欠落や細かい文字などのつぶれを抑えることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一次処理のブロック図である。

【図2】本発明の動作説明のための図素パターンを示す図である。

【符号の説明】

- 11 LM1~3 (ラインメモリ)
- 12 PM1 (第1のパターンマッチング回路)
- 13 VRC (垂直方向縮小回路)
- 14 DS1 (第1のセレクト回路)
- 21 D1~D3 (図素選択回路)
- 22 PM2 (第2のパターンマッチング回路)
- 23 HRC (水平方向縮小回路)
- 24 DS2 (第2のセレクト回路)
- a 入力図素列(1ライン)
- b 入力図素列(i-1ライン)
- c 入力図素列(i-2ライン)
- d 入力図素列(i-3ライン)
- e 入力イネーブル信号
- f 入力図素転送クロック
- g 図素切替信号(副走査方向)
- h 図素選択信号(副走査方向)
- 39 m 副走査縮小図素列(入力i番目図素)
- n 入力図素(i-1番目図素)
- p 入力図素(i-2番目図素)
- q 入力図素(i-3番目図素)
- r 図素切替信号(主走査方向)
- s 図素選択信号(主走査方向)
- t 縮小図素出力
- u 出力イネーブル信号
- x 出力図素転送クロック

特開平6-78136

(4)

【図1】

